

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                    2 0 0 3 年   1 月 2 8 日  
Date of Application:

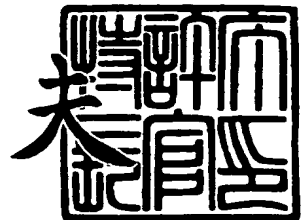
出 願 番 号                    特 願 2 0 0 3 - 0 1 8 6 4 5  
Application Number:  
[ST. 10/C] :                    [ J P 2 0 0 3 - 0 1 8 6 4 5 ]

出      願      人                    シャープ株式会社  
Applicant(s):

2 0 0 3 年 1 1 月   5 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号   出証特 2 0 0 3 - 3 0 9 1 5 6 8

【書類名】 特許願

【整理番号】 P03S0010A2

【提出日】 平成15年 1月28日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 16/06

【発明の名称】 半導体記憶装置及びメモリセルの書き込み並びに消去方法

【請求項の数】 24

【発明者】

    【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

    【氏名】 松岡 伸明

【特許出願人】

    【識別番号】 000005049

    【氏名又は名称】 シャープ株式会社

    【電話番号】 06-6621-1221

【代理人】

    【識別番号】 100114476

    【弁理士】

    【氏名又は名称】 政木 良文

    【電話番号】 06-6233-6700

【選任した代理人】

    【識別番号】 100107478

    【弁理士】

    【氏名又は名称】 橋本 薫

    【電話番号】 06-6233-6700

**【先の出願に基づく優先権主張】**

**【出願番号】** 特願2002-353053  
**【出願日】** 平成14年12月 4日  
**【整理番号】** P02S0005A1

**【手数料の表示】**

**【予納台帳番号】** 192855  
**【納付金額】** 21,000円

**【提出物件の目録】**

**【物件名】** 明細書 1  
**【物件名】** 図面 1  
**【物件名】** 要約書 1  
**【包括委任状番号】** 0217474

**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 半導体記憶装置及びメモリセルの書き込み並びに消去方法

【特許請求の範囲】

【請求項 1】 電気抵抗が変化する抵抗変化素子を備えてなるメモリセルと

、  
前記抵抗変化素子の前記電気抵抗の変化を用いて前記メモリセルへのデータの書き込みを行う書き込み手段と、

前記書き込み手段による書き込み動作時における前記電気抵抗の変化を検知する書き込み状態検知手段と、

前記電気抵抗が所定のリファレンス値まで変化したときに前記書き込み手段による書き込みを停止する書き込み制御手段と、  
を備えたことを特徴とする半導体記憶装置。

【請求項 2】 電氣的ストレスにより電気抵抗が変化し前記電氣的ストレス解除後も変化した電気抵抗が保持される抵抗変化素子を備えてなるメモリセルと

、  
前記抵抗変化素子に前記電氣的ストレスを印加して前記電気抵抗を変化させることにより前記メモリセルへのデータの書き込みを行う書き込み手段と、

前記書き込み手段による書き込み動作時における前記電気抵抗の変化を検知する書き込み状態検知手段と、

前記電気抵抗が所定のリファレンス値まで変化したときに前記書き込み手段による前記電氣的ストレスの印加を停止する書き込み制御手段と、  
を備えたことを特徴とする半導体記憶装置。

【請求項 3】 前記書き込み状態検知手段は、前記メモリセルの前記電気抵抗の変化を、書き込みリファレンスセルに固定された前記リファレンス値と比較することにより検知可能に構成されていることを特徴とする請求項 1 または 2 に記載の半導体記憶装置。

【請求項 4】 前記リファレンスセルは固定抵抗を用いて形成されることを特徴とする請求項 1 ～ 3 の何れか 1 項に記載の半導体記憶装置。

【請求項 5】 前記固定抵抗が、拡散抵抗またはポリシリコン抵抗で形成さ

れていることを特徴とする請求項 4 に記載の半導体記憶装置。

【請求項 6】 前記メモリセルは、電氣的ストレスにより電気抵抗が変化し前記電氣的ストレス解除後も変化した電気抵抗が保持される抵抗変化素子と選択トランジスタとで構成されていることを特徴とする請求項 1 ～ 5 の何れか 1 項に記載の半導体記憶装置。

【請求項 7】 前記抵抗変化素子は、電極間にマンガンを含有するペロブスカイト構造の酸化物が形成されていることを特徴とする請求項 1 ～ 6 の何れか 1 項に記載の半導体記憶装置。

【請求項 8】 電気抵抗が変化する抵抗変化素子を備えてなるメモリセルへ前記電気抵抗の変化を用いてデータを書き込むと同時に、

前記書き込み動作時における前記電気抵抗の変化を検知し、

前記電気抵抗が所定のリファレンス値に達するまで前記書き込み動作を行うことを特徴とするメモリセルの書き込み方法。

【請求項 9】 電氣的ストレスにより電気抵抗が変化し前記電氣的ストレス解除後も変化した電気抵抗が保持される抵抗変化素子を備えてなるメモリセルの書き込み方法であって、

前記抵抗変化素子に前記電氣的ストレスを印加して前記電気抵抗を変化させることにより前記メモリセルへのデータの書き込みを行うと同時に、

前記書き込み動作時における前記電気抵抗の変化を検知し、

前記電気抵抗が所定のリファレンス値まで変化したときに前記電氣的ストレスの印加を停止することを特徴とするメモリセルの書き込み方法。

【請求項 1 0】 前記抵抗変化素子の前記電気抵抗の変化を用いて前記メモリセルへのデータの消去を行なう消去手段と、

前記消去手段による消去動作時における前記電気抵抗の変化を検知する消去状態検知手段と、

前記電気抵抗が所定の第 2 のリファレンス値まで変化したときに前記消去手段による消去を停止する消去制御手段とを、

さらに備えたことを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 1 1】 前記抵抗変化素子に前記電氣的ストレスを印加して前記電

気抵抗を変化させることにより前記メモリセルへのデータの消去を行なう消去手段と、

前記消去手段による消去動作時における前記電気抵抗の変化を検知する消去状態検知手段と、

前記電気抵抗が所定の第 2 のリファレンス値まで変化したときに前記消去手段による前記電氣的ストレスの印加を停止する消去制御手段とを、

さらに備えたことを特徴とする請求項 2 に記載の半導体記憶装置。

【請求項 1 2】 前記書き込み状態検知手段及び前記消去状態検知手段、並びに前記書き込み制御手段及び前記消去制御手段が、それぞれ兼用されていることを特徴とする請求項 1 0 または 1 1 に記載の半導体記憶装置。

【請求項 1 3】 前記消去状態検知手段は、前記メモリセルの前記電気抵抗の変化を、消去リファレンスセルに固定された前記第 2 のリファレンス値と比較することにより検知可能に構成されていることを特徴とする請求項 1 0 ～ 1 2 の何れか 1 項に記載の半導体記憶装置。

【請求項 1 4】 前記消去リファレンスセルは固定抵抗を用いて形成されることを特徴とする請求項 1 3 に記載の半導体記憶装置。

【請求項 1 5】 前記固定抵抗が、拡散抵抗またはポリシリコン抵抗で形成されていることを特徴とする請求項 1 4 に記載の半導体記憶装置。

【請求項 1 6】 電気抵抗が変化する抵抗変化素子を備えてなるメモリセルと、

前記抵抗変化素子の前記電気抵抗の変化を用いて前記メモリセルへのデータの消去を行なう消去手段と、

前記消去手段による消去動作時における前記電気抵抗の変化を検知する消去状態検知手段と、

前記電気抵抗が所定の第 2 のリファレンス値まで変化したときに前記消去手段による消去を停止する消去制御手段とを備えたことを特徴とする半導体記憶装置。

【請求項 1 7】 電氣的ストレスにより電気抵抗が変化し前記電氣的ストレス解除後も変化した電気抵抗が保持される抵抗変化素子を備えてなるメモリセル

と、

前記抵抗変化素子に前記電氣的ストレスを印加して前記電気抵抗を変化させることにより前記メモリセルへのデータの消去を行なう消去手段と、

前記消去手段による消去動作時における前記電気抵抗の変化を検知する消去状態検知手段と、

前記電気抵抗が所定の第 2 のリファレンス値まで変化したときに前記消去手段による前記電氣的ストレスの印加を停止する消去制御手段とを備えたことを特徴とする半導体記憶装置。

【請求項 1 8】 前記消去状態検知手段は、前記メモリセルの前記電気抵抗の変化を、消去リファレンスセルに固定された前記第 2 のリファレンス値と比較することにより検知可能に構成されていることを特徴とする請求項 1 6 または 1 7 に記載の半導体記憶装置。

【請求項 1 9】 前記消去リファレンスセルは固定抵抗を用いて形成されることを特徴とする請求項 1 8 に記載の半導体記憶装置。

【請求項 2 0】 前記固定抵抗が、拡散抵抗またはポリシリコン抵抗で形成されていることを特徴とする請求項 1 9 に記載の半導体記憶装置。

【請求項 2 1】 前記メモリセルは、電氣的ストレスにより電気抵抗が変化し前記電氣的ストレス解除後も変化した電気抵抗が保持される抵抗変化素子と選択トランジスタとで構成されていることを特徴とする請求項 1 6 ～ 2 0 の何れか 1 項に記載の半導体記憶装置。

【請求項 2 2】 前記抵抗変化素子は、電極間にマンガンを含むペロブスカイト構造の酸化物が形成されていることを特徴とする請求項 1 6 ～ 2 1 の何れか 1 項に記載の半導体記憶装置。

【請求項 2 3】 電気抵抗が変化する抵抗変化素子を備えてなるメモリセルへ前記電気抵抗の変化を用いてデータを消去すると同時に、

前記消去動作時における前記電気抵抗の変化を検知し、

前記電気抵抗が所定のリファレンス値に達するまで前記消去動作を行うことを特徴とするメモリセルの消去方法。

【請求項 2 4】 電氣的ストレスにより電気抵抗が変化し前記電氣的ストレ

ス解除後も変化した電気抵抗が保持される抵抗変化素子を備えてなるメモリセルの消去方法であって、

前記抵抗変化素子に前記電気的ストレスを印加して前記電気抵抗を変化させることにより前記メモリセルへのデータの消去を行なうと同時に、

前記消去動作時における前期電気抵抗の変化を検知し、前記電気抵抗が所定の第2のリファレンス値まで変化したときに前記電気的ストレスの印加を停止することを特徴とするメモリセルの消去方法。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

本発明は半導体記憶装置、及び、メモリセルの書き込み並びに消去方法に関するものであり、抵抗変化素子を用いた不揮発性半導体記憶装置等に有効に利用可能な書き込み並びに消去手段に関するものである。

##### 【0002】

#### 【従来の技術】

従来技術として、例えば、電気的に消去、書き込み可能な読み出し専用メモリであるEEPROMの一つとして、高集積化が可能なNANDセル型EEPROMが知られている。特開平5-182474号公報には、以下のように記載されている。NANDセル型EEPROMは、複数のメモリセルをそれらのソース、ドレインを隣接するもの同士で共用する形で直列接続して一単位としてビット線に接続するものである。メモリセルは通常電荷蓄積層と制御ゲートが積層されたFETMOS構造を有する。メモリセルアレイは、P型基板またはN型基板に形成されたP型ウェル内に集積形成される。NANDセルのドレイン側は選択ゲートを介してビット線に接続され、ソース側はやはり選択ゲートを介してソース線（基準電位配線）に接続される。メモリセルの制御ゲートは、行方向に連続的に配設されてワード線となる。

##### 【0003】

このNANDセル型EEPROMの動作は次の通りである。データ書き込みの動作は、ビット線から最も離れた位置のメモリセルから順に行う。選択されたメモ



リセルの制御ゲートには、高電圧  $V_{pp}$  ( $= 20\text{ V}$  程度) を印加し、それよりビット線側にあるメモリセルの制御ゲート及び選択ゲートには中間電位  $V_{ppM}$  ( $= 10\text{ V}$  程度) を印加し、ビット線にはデータに応じて  $0\text{ V}$  または中間電位を与える。ビット線に  $0\text{ V}$  が与えられた時、その電位は選択メモリセルのドレインまで伝達されて、基板側から浮遊ゲートに電子注入が生じる。これによりその選択されたメモリセルのしきい値は正方向にシフトする。この状態をたとえば“1”とする。ビット線に中間電位が与えられたときは電子注入が起らず、従ってしきい値は変化せず、負に止まる。この状態は“0”である。

#### 【0 0 0 4】

データ消去は、NANDセル内の全てのメモリセルに対して同時に行われる。すなわち全ての制御ゲートを  $0\text{ V}$  とし、選択ゲート、ビット線、ソース線、メモリセルアレイが形成されたP型ウェル、及びN型基板に高電圧  $20\text{ V}$  を印加する。これにより、全てのメモリセルで浮遊ゲートの電子が基板側に放出され、しきい値は負方向にシフトする。

#### 【0 0 0 5】

データ読出し動作は、選択されたメモリセルの制御ゲートを  $0\text{ V}$  とし、それ以外のメモリセルの制御ゲート及び選択ゲートを電源電位  $V_{cc}$  ( $= 5\text{ V}$ ) として、選択メモリセルで電流が流れるか否かを検出することにより行われる。

#### 【0 0 0 6】

以上の動作説明から明らかなように、NANDセル型EEPROMでは、書込み及び読出し動作時には非選択メモリセルは転送ゲートとして作用する。この観点から、書込みがなされたメモリセルのしきい値電圧には制限が加わる。たとえば、“1”書込みされたメモリセルのしきい値の好ましい範囲は、 $0.5 \sim 3.5\text{ V}$  程度となる。データ書込み後の経時変化、メモリセルの製造パラメータのばらつきや電源電位のばらつきを考慮すると、データ書込み後のしきい値分布はこれより小さい範囲であることが要求される。

#### 【0 0 0 7】

しかしながら、従来のような、書込み電位及び書込み時間を固定して全メモリセルを同一条件でデータ書込みする方式では、“1”書込み後のしきい値範囲を

許容範囲に収めることが難しい。たとえばメモリセルは製造プロセスのばらつきから、その特性にもばらつきが生じる。従って書込み特性を見ると、書込まれやすいメモリセルと書込まれにくいメモリセルがある。従来はこれに対して、書込まれにくいメモリセルに十分に書込まれるように、書込み時間に余裕を持たせて全メモリセルを同一条件で書込むという事が一般に行われている。これでは、書込まれ易いメモリセルには必要以上に書込まれ、しきい値電圧が許容範囲を越えて高くなってしまう。

#### 【0008】

一方、“0”書込みしたメモリセル或いはデータ消去したNANDセルのメモリセルのしきい値電圧が負方向にある値以上大きくなっていないと、これも問題になる。“0”書込みしたメモリセルのしきい値は、これによってデータ読出し時のセル電流（読出し電流）が変化し、その結果アクセスタイムが変化するから、EEPROMの仕様を左右する。またデータ消去によって十分に消去がなされていないと、その後のデータ書込みで“1”状態のしきい値が必要以上に高くなってしまい、しきい値の許容範囲を越えることになる。

#### 【0009】

これらの問題を解決するために、上記公報では、書込みベリファイ機能を有するNANDセル型のEEPROMを提案している。ここでは、データ書込み時選択されたNANDセル内の各メモリセルの制御ゲートに第1の書込みベリファイ電位を順次印加してデータ読出しを行って書込み不足状態を確認する機能と、第2の書込みベリファイ電位を選択メモリセルの制御ゲートに印加してデータ読出しを行って書込み過剰状態を確認する機能とを有する書込みベリファイ制御回路を備えている。これにより、もし、書込み不足状態のメモリセルがあれば、書込み動作が追加され、再度第1のデータ書込みベリファイ電位の印加による書込み状態の確認がなされる。この動作を繰り返して、そのメモリセルについて第1の書込みベリファイとデータ再書込みが終わった後、そのメモリセルに対して第2の書込みベリファイ電位を用いた書込み過剰状態の確認動作が行なわれる。このような動作を繰り返すことにより、規定のしきい値に達しているメモリセルに対しては、再書込みをしないように、制御され、上記の問題を解決できる。

## 【0010】

また、米国特許第5, 287, 317号明細書においても電氣的に消去・書込みが可能な半導体メモリにおいて同様な提案をしている。即ちデータ書込みの場合、図14に示すように、電氣的に消去・書込みが可能な半導体メモリにおいて、書込みコマンドを入力（ステップ1）後、アドレスとデータを入力する（ステップ2）ことにより、選択メモリセルへのプログラムパルス印加が開始され、メモリセルにデータが書込まれる（ステップ3）。プログラムパルス印加停止後、プログラムベリファイコマンドを入力することによりプログラムベリファイモードとなり（ステップ4）、書込みを行ったメモリセルからのデータ読み出しが開始される（ステップ5）。読み出しを行い、読み出されたデータと、最初に入力された期待値（レファレンス）データとの比較を行い（ステップ6）、一致している場合は、プログラムの正常終了し、読み出しモードとなり、プログラムを終了する。一方、データが一致していない場合は、再度、プログラムパルスの印加が行われる（ステップ7）。この一連の動作は、すべてのデータが一致するまで繰り返し行われる。図15は、プログラムパルス印加後、ベリファイ動作を実行する一連の動作を行なって、期待値データと書込まれたデータとが3度目で一致したため、プログラムを終了したことを示すタイミングチャートである。

## 【0011】

以上、述べてきたように、電氣的に消去・書込みが可能な半導体メモリ（EEPROM）においては、期待値データと書込まれたデータとが一致するまで、プログラムパルス印加し、その後、ベリファイ動作を実行するという一連の動作が繰り返し行われることにより、メモリセルのしきい値を望む値へ設定していた。

## 【0012】

最近注目されている不揮発性抵抗変化素子（Novel resistance control nonvolatile RAM 以下、本明細書では「RRAM素子」とも記す。）を使用したメモリにおいても上記技術を採用することは可能である。

## 【0013】

## 【特許文献1】

特開平 5 - 1 8 2 4 7 4 号公報

【特許文献 2】

米国特許第 5, 2 8 7, 3 1 7 号明細書

【0 0 1 4】

【発明が解決しようとする課題】

上記従来技術のプログラムベリファイ機能を採用することにより、プログラムベリファイ機能を持たない E E P R O M に比べると、しきい値のばらつきを低減させることが可能である。しかしながらプログラムパルス印加中に関しては、強制的に書込み動作が行われるため、プログラムパルス印加時間によっては、印加中にメモリセルのしきい値が希望するしきい値よりも、かなり高くなってしまう可能性があった。また、上記で述べたようにメモリセルは製造プロセスのばらつきから、その特性にもばらつきが生じるため、書込み特性を見ると、書込まれやすいメモリセルと書込まれにくいメモリセルがあるので最適な一律の印加時間の設定は困難であった。これは、不揮発性抵抗変化素子メモリにおいても同様であり、希望する抵抗値への設定が困難となる。特に、不揮発性抵抗変化素子メモリにおいて、複数存在する抵抗状態の 1 つの状態を 1 つのメモリセルへ記憶させる多値技術を導入する場合においては、ばらつきの少ない抵抗値の設定を行う必要があるが、上記技術では、高精度に行うことは困難であった。また、プログラムパルス印加後、ベリファイ動作という一連の繰り返し動作により、プログラム時間が長いという問題があった。

【0 0 1 5】

本発明の目的は、上述した従来の問題点に鑑み、書き込み処理に要する時間の短縮化を図ることができるとともに、メモリセルへのデータの書き込みを目標値に精度良く設定でき、従って、多値化対応に優れた半導体記憶装置及びメモリセルの書き込み方法を提供する点にある。

【0 0 1 6】

【課題を解決するための手段】

この目的を達成するため、本発明による半導体記憶装置の特徴構成は、電気抵抗が変化する抵抗変化素子を備えてなるメモリセルと、前記抵抗変化素子の前記

電気抵抗の変化を用いて前記メモリセルへのデータの書き込みを行う書き込み手段と、前記書き込み手段による書き込み動作時における前記電気抵抗の変化を検知する書き込み状態検知手段と、前記電気抵抗が所定のリファレンス値まで変化したときに前記書き込み手段による書き込みを停止する書き込み制御手段と、を備えた点にあり、本発明によるメモリセルの書き込み方法の特徴構成は、電気抵抗が変化する抵抗変化素子を備えてなるメモリセルへ前記電気抵抗の変化を用いてデータを書き込むと同時に、前記書き込み動作時における前記電気抵抗の変化を検知し、前記電気抵抗が所定のリファレンス値に達するまで前記書き込み動作を行なう点にある。

#### 【0017】

つまり、メモリセルへのデータの書き込みと同時期にベリファイすることにより、書き込みとベリファイに要する時間の短縮化を図ることができるとともに、電気抵抗が所定のリファレンス値に達した時点で書き込み処理を停止できるので、精度良く目標の抵抗値に設定でき、従って、多値化に優れたものとなるのである。

#### 【0018】

前記抵抗変化素子の前記電気抵抗の変化を用いて前記メモリセルへのデータの消去を行なう消去手段と、前記消去手段による消去動作時における前記電気抵抗の変化を検知する消去状態検知手段と、前記電気抵抗が所定の第2のリファレンス値まで変化したときに前記消去手段による消去を停止する消去制御手段とを、さらに備えることが望ましい。

#### 【0019】

この場合には、メモリセルに対するデータの消去と同時期にベリファイすることにより、消去とベリファイに要する時間の短縮化を図ることができるとともに、電気抵抗が所定の第2のリファレンス値に達した時点で消去処理を停止できるので、精度良く目標の抵抗値に設定できるのであり、規定の抵抗値に達した時点で、そのメモリセルへの電圧印加が停止するため、消費電流削減も実現する。

#### 【0020】

上述のメモリセルは、R R A M素子のように電氣的ストレスにより電気抵抗が

変化し前記電氣的ストレス解除後も変化した電気抵抗が保持される抵抗変化素子を備えて構成するのが好ましく、マンガンを含むペロブスカイト構造の酸化物が使用される。EEPROMのような不揮発性メモリと比較するとプログラムパルス印加時間は短い。EEPROMでは、 $1\mu\text{s}$ 程度であるのに対し、不揮発性抵抗変化素子メモリは、 $100\text{ns}$ 程度である。

#### 【0021】

前記書き込み状態検知手段は、前記メモリセルの前記電気抵抗の変化を、書き込みリファレンスセルに固定された前記リファレンス値と比較することにより検知可能に構成されていることが好ましく、そのリファレンスセルは、精度上の観点から電氣的ストレスでその値が変動することのない固定抵抗を用いて形成され、製造上の観点から拡散抵抗またはポリシリコン抵抗で形成されていることが好ましい。

#### 【0022】

さらに、前記消去状態検知手段は、前記メモリセルの前記電気抵抗の変化を、消去リファレンスセルに固定された前記第2のリファレンス値と比較することにより検知可能に構成されていることが好ましく、前記消去リファレンスセルは、精度上の観点から電氣的ストレスでその値が変動することのない固定抵抗を用いて形成され、製造上の観点から拡散抵抗またはポリシリコン抵抗で形成されていることが好ましい。

#### 【0023】

#### 【発明の実施の形態】

以下、本発明による半導体記憶装置の第一の実施形態を説明する。半導体記憶装置は、図1に示すように、電氣的ストレスにより電気抵抗が変化し前記電氣的ストレス解除後も変化した電気抵抗が保持されるRRAM素子である抵抗変化素子 $R_{11} \sim R_{ij}$ とN型MOSFETで構成される選択トランジスタ $T_{11} \sim T_{ij}$ を備えてなるメモリセル1cがマトリックス状に配列されたメモリアレイ1と、制御回路Cとで構成される。前記制御回路Cは、前記抵抗変化素子 $R_{11} \sim R_{ij}$ に前記電氣的ストレスを印加して前記電気抵抗を変化させることにより前記メモリセル1cへのデータの書き込みを行う書き込み手段2と、前記書き込み

手段2による書き込み動作時における前記電気抵抗の変化を検知する書き込み状態検知手段3と、前記電気抵抗が所定のリファレンス値まで変化したときに前記書き込み手段3による前記電氣的ストレスの印加を停止する書き込み制御手段4として機能し、その具体的動作は後に詳述する。

#### 【0024】

前記抵抗変化素子 $R_{11} \sim R_{ij}$ は、電氣的ストレスにより電気抵抗が変化し前記電氣的ストレス解除後も変化した電気抵抗が保持されるもので、マンガンを含むペロブスカイト構造の酸化物、例えば、 $Pr_{(1-x)}Ca_xMnO_3$ 、 $La_{(1-x)}Ca_xMnO_3$ 、または、 $La_{(1-x-y)}Ca_xPb_yMnO_3$ （但し、 $x < 1$ 、 $y < 1$ 、 $x + y < 1$ ）で表される何れかの物質、例えば、 $Pr_{0.7}Ca_{0.3}MnO_3$ 、 $La_{0.65}Ca_{0.35}MnO_3$ 、 $La_{0.65}Ca_{0.175}Pb_{0.175}MnO_3$ 等のマンガン酸化膜をMOCVD法、スピンコーティング法、レーザアブレーション、スパッタリング法等で成膜して作成される。

#### 【0025】

以下、本明細書では、RRAM素子の「抵抗値を上げる」ときを「書き込む」と表現し、通常、書き込みを行なうときは選択トランジスタをオンにしてビット線に3V、ソース線に0Vに電圧を印加し、逆に「抵抗値を下げる」ときを「消去する」と表現し、消去するときは選択トランジスタをオンにして逆極性の電圧を印加し、読み出しを行なうときは選択トランジスタをオンにしてビット線に1.5V、ソース線に0Vを印加するものとして説明するが、それぞれの電圧値は、電圧発生回路により切り替え供給されるように構成され、その値は、上述の値に限定されるものではなく、不揮発性抵抗変化素子の特性に合わせて適宜設定すればよい。

#### 【0026】

前記メモリセル1cは、アドレス信号によりワード線セクタからの出力 $WL_1$ 、 $WL_2 \cdots WL_i$ 及びビット線セクタからの出力 $BL_1$ 、 $BL_2 \cdots BL_j$ により個別に選択可能に構成され、抵抗変化素子の一端は、グランドレベルに接続される。前記ビット線セクタは、簡略化のため2本のノード $SH_1$ 、 $SH_2$

に接続してあるものとして説明するが、例えば、16セル同時読み出しや、同時書き込みなどをする場合には、SH1～SH16の16本が必要となることに留意する必要がある。

#### 【0027】

前記制御回路Cについて説明する。ノードSH1、SH2は、それぞれN型MOSFETで構成されたTN1、TN2を介して電圧発生回路の出力がグランドレベルに選択的に接続され、且つ、2つのセンスアンプ回路SAの入力端子にそれぞれ接続される。前記センスアンプ回路SAのもう一方の入力端子は、リファレンスセル回路RCと接続され、且つ、プログラムイネーブル信号（書き込み許可信号）PENでオン／オフするN型MOSFETを介してVoutノードに接続される。

#### 【0028】

前記リファレンスセル回路RCは、ビット線セクタで選択される本数と同数の回路を有し、各リファレンスセル回路RCは、前記所定のリファレンス値となるリファレンス抵抗Rref1～Rref4と、各リファレンス抵抗を選択するための選択トランジスタA5～A8を備えてある。図1では、4値データを書き込む一例であり、期待値データとなるリファレンス抵抗を4つ有し、各リファレンス抵抗は、 $R_{ref1} < R_{ref2} < R_{ref3} < R_{ref4}$ の関係を有する。また、このリファレンスセルは、電圧または電流印加などの電氣的ストレスにより抵抗が変化しない固定の抵抗で形成され、拡散抵抗またはポリシリコン抵抗などで形成することが望ましい。

#### 【0029】

前記センスアンプ回路SAの出力がフリップフロップ回路FFの入力に接続され、フリップフロップ回路FFの出力がAND回路及び高電圧ドライバ回路を介してN型MOSFETで構成されるTN1、TN2のゲートにそれぞれ接続される。ここでのゲート電圧は、高電圧ドライバ回路により電圧発生回路からの出力電圧よりも十分高い電圧に変換されている。前記AND回路は各選択メモリセルへの書き込み動作が終了した信号が伝えられ、全ての選択メモリセルへの書き込み動作が終了した時点でプログラム終了信号が出力される。



## 【0030】

次に、具体的な選択メモリセルへの書き込み動作について、図1からメモリセルの選択トランジスタなどを省略して基本回路構成のみ抜粋した図3に基づいて説明する。ここでは、第2のリファレンス抵抗 $R_{ref2}$ を選択して、選択トランジスタを省略した場合を示す。抵抗変化素子からなる複数のメモリセルの内、選択されたメモリセルの抵抗変化素子 $R_m$ は、ノード $W2$ を介して $TN2$ のソース及びセンスアンプ回路 $SA$ の入力端子に接続され、リファレンス抵抗 $R_{ref2}$ は、ノード $W1$ を介して $TN1$ のソース及びセンスアンプ回路の入力端子に接続されている。 $TN1$ のドレインは、電源電圧 $V_{cc}$ と接続されており、ゲートは、プログラムイネーブル信号 $P_{en}$ を受けて高電圧ドライバ回路 $HV$ により電源電圧 $V_{cc}$ よりも十分高い電圧 $HV1$ に変換された信号が印加される。一方、 $TN2$ のドレインは、電源電圧 $V_{cc}$ と接続されており、ゲートは、フリップフロップ回路 $FF$ からの出力信号を受けて高電圧ドライバ回路 $HV$ により電源電圧 $V_{cc}$ よりも十分高い電圧 $HV1$ に変換された信号が印加される。前記フリップフロップ回路 $FF$ の入力信号は、プログラム開始信号 $W_s$ と上記センスアンプ回路 $SA$ の出力信号が入力されている。

## 【0031】

上述の回路の動作を図2に示すタイミングチャートに基づいて説明する。まず、プログラムイネーブル信号 $P_{en}$ が高レベルになると $TN1$ はオン状態となり、データ入力によりリファレンスセル抵抗 $R_{ref2}$ が選択され、 $TN1$ とリファレンスセル抵抗 $R_{ref2}$ を通じて電源電圧からグラウンドレベルへ電流が流れる。この時にノード $W1$ は $TN1$ のオン抵抗とリファレンスセル抵抗 $R_{ref2}$ の抵抗分割により第1の電圧を有する。次に、プログラム開始信号 $W_s$ が高レベルとなり $TN2$ がオン状態となると電源電圧からグラウンドレベルへ電流が流れてメモリセルの抵抗変化素子 $R_m$ への書き込みが開始される。尚、この後、プログラム開始信号 $W_s$ が低レベルとなるがフリップフロップ回路 $FF$ によりデータはラッチされているので書き込み動作は継続される。ここで、 $TN1$ と $TN2$ のトランジスタ能力が等しいとすると、リファレンス抵抗 $R_{ref2}$ と選択メモリセルの抵抗変化素子 $R_m$ が同じ抵抗になった時に等しい電流が流れることになる。

選択メモリセルの抵抗変化素子  $R_m$  がリファレンス抵抗  $R_{ref2}$  より小さい時には選択メモリセルの抵抗変化素子  $R_m$  の抵抗値が低いため、ノード  $W_2$  はノード  $W_1$  に比べて電圧が低くなり、リファレンス抵抗  $R_{ref2}$  と等しくなるまで書込みパルスが印加される。従って、ノード  $W_1$  とノード  $W_2$  をセンスアンプ回路  $SA$  に入力することにより、選択メモリセルの抵抗変化素子  $R_m$  がリファレンス抵抗  $R_{ref2}$  の抵抗値より低いかどうか判別し、選択メモリセルの抵抗変化素子  $R_m$  がリファレンス抵抗  $R_{ref2}$  と等しい抵抗値になった時点で、センスアンプ回路  $SA$  の出力信号  $ENB$  が高レベルとなり、 $TN_2$  がオフ状態となるため電圧印加が停止され、書込みが終了する。ここで、図 2 に示すファーストビットとは、選択メモリセルの抵抗変化素子  $R_m$  に対する電圧印加から所定レベルまでの書き込み時間が速い素子をいい、スロービットとは、選択メモリセルの抵抗変化素子  $R_m$  に対する電圧印加から所定レベルまでの書き込み時間が遅い素子をいい、素子の特性ばらつきを示すものである。

#### 【0032】

上述の回路が、前記抵抗変化素子  $R_{11} \sim R_{ij}$  に前記電氣的ストレスを印加して前記電気抵抗を変化させることにより前記メモリセル  $1c$  へのデータの書き込みを行う書き込み手段 2 と、前記書き込み手段 2 による書き込み動作時における前記電気抵抗の変化を検知する書き込み状態検知手段 3 と、前記電気抵抗が所定のリファレンス値まで変化したときに前記書き込み手段 3 による前記電氣的ストレスの印加を停止する書き込み制御手段 4 となる。

#### 【0033】

上述の半導体記憶装置及びメモリセルの書き込み方法によれば、書込み動作とベリファイ動作がメモリセル単位で同時に行なわれるので、メモリセル毎にプログラム電圧印加時間が異なり素子間のばらつきが吸収される点が特長的である。これにより、過剰書込みを防止するだけでなく、消費電流の削減の役割も果たしている。

#### 【0034】

複数存在するリファレンス抵抗の内、第 2 のリファレンス抵抗を選択して、選択メモリセルを第 2 の抵抗に設定すること以外に、第 3 のリファレンス抵抗を選

択してメモリセルを第3の抵抗へ設定、第4のリファレンス抵抗を選択してメモリセルを第4の抵抗へ設定、または第1のリファレンス抵抗を選択してメモリセルを第1の抵抗へ設定することが可能である。

#### 【0035】

以下、図1から基本回路構成のみ抜粋した図4に基づいて詳述する。抵抗変化素子からなる複数のメモリセルの内、選択されたメモリセルの抵抗変化素子 $R_m$ の2端子それぞれは、選択トランジスタ $TN3$ のソース及びグランドレベルに接続され、選択トランジスタ $TN3$ のドレインはノード $W2$ を介してセンスアンプ回路 $SA$ の入力端子と $TN2$ のソースに接続されて、 $TN2$ のドレインは電源電圧 $V_{cc}$ に接続される。第1のリファレンス抵抗 $R_{ref1}$ 、第2のリファレンス抵抗 $R_{ref2}$ 、第3のリファレンス抵抗 $R_{ref3}$ 、第4のリファレンス抵抗 $R_{ref4}$ の一端は、それぞれN型MOSFETで構成される $TN5$ 、 $TN6$ 、 $TN7$ 、 $TN8$ のソースに接続され、一方の端子はグランドレベルに接続される。 $TN5$ 、 $TN6$ 、 $TN7$ 、 $TN8$ のドレインは、ノード $W1$ を介して $TN1$ のソースとセンスアンプ回路 $SA$ の入力端子に接続され、ゲートにはそれぞれノード $A5$ 、 $A6$ 、 $A7$ 、 $A8$ が接続される。さらに、 $TN1$ のドレインは電源電圧に接続され、ゲートは、プログラムイネーブル信号 $P_{en}$ を受けて、高電圧ドライバ回路 $HV$ を介して電源電圧 $V_{cc}$ よりも十分高い電圧 $HV2$ に変換されたノードに接続されている。また、センスアンプ回路 $SA$ の出力とプログラム開始信号 $W_s$ は、フリップフロップ回路 $FF$ に入力され、フリップフロップ回路 $FF$ の出力は、高電圧ドライバ回路 $HV$ を介して電源電圧 $V_{cc}$ よりも十分高い電圧 $HV1$ に変換された後、 $TN2$ のゲートに入力される。

#### 【0036】

先ず最初に、第1のメモリセルを選択するため $WL1$ を高レベルとし、さらに設定したい抵抗値を $R_{ref1}$ 、 $R_{ref2}$ 、 $R_{ref3}$ 、 $R_{ref4}$ から選択する。仮に第3のリファレンス抵抗 $R_{ref3}$ を選択する場合は、信号 $A7$ を高レベル、信号 $A5$ 、 $A6$ 、 $A8$ をそれぞれ低レベルにすることにより、 $TN7$ がオン状態となり、 $TN5$ 、 $TN6$ 、 $TN8$ はオフ状態となる。次に、プログラムイネーブル信号 $P_{en}$ を高レベルにすることにより $TN1$ がオン状態となり、 $T$

N1、TN7、リファレンス抵抗 $R_{ref3}$ を介して、 $V_{cc}$ からグラウンドレベルへ電流が流れる。これにより、ノードW1はこれらの抵抗分割によりある中間電位となる。次に、プログラム開始信号 $W_s$ が高レベルとなり、TN2はオン状態となる。この後、プログラム開始信号 $W_s$ が低レベルとなってもフリップフロップ回路によりデータはラッチされる。TN2がオンになることで、TN2、選択メモリセルのTN3、抵抗変化素子 $R_m$ を通じて、抵抗変化素子 $R_m$ の抵抗値を変化させると共に、電源電圧からグラウンドレベルへ電流が流れる。ここで、TN1とTN2、TN3とTN7のトランジスタ能力は等しいとすると、リファレンス抵抗と選択メモリセルの抵抗変化素子 $R_m$ が同じ抵抗値になった時、等しい電流が流れることになる。選択メモリセルの抵抗変化素子 $R_m$ がリファレンス抵抗 $R_{ref3}$ より抵抗値が低い時、印加される電位差で抵抗変化素子 $R_m$ は書込み状態となる。抵抗変化素子 $R_m$ がリファレンス抵抗より抵抗値が低い場合には、抵抗変化素子 $R_m$ のノードW2は、ノードW1に比べて電圧が低い。つまり、ノードW1とノードW2をセンスアンプ回路SAに入力することにより、抵抗変化素子 $R_m$ の抵抗値がリファレンス抵抗の抵抗値より低いかどうか判別することが可能となる。そして、選択メモリセルの抵抗変化素子 $R_m$ がリファレンス抵抗と等しい抵抗値になり、さらに、選択メモリセルの抵抗変化素子 $R_m$ がリファレンス抵抗の抵抗値より大きくなった時点で、センスアンプ回路の出力信号ENBが高レベルとなり、TN2がオフ状態となるため電圧印加が停止され、書込みが終了する。

#### 【0037】

つまり、選択メモリセルの抵抗変化素子 $R_m$ は、4種類のリファレンス抵抗のうち、どのリファレンス抵抗を選択するかによって4つの状態が記憶可能となる。つまり、リファレンス抵抗のうち、第1の抵抗 $R_{ref1}$ の状態を“00”、第2の抵抗 $R_{ref2}$ の状態を“01”、第3の抵抗 $R_{ref3}$ の状態を“10”、第4の抵抗 $R_{ref4}$ の状態を“11”と定義すると、第1の選択メモリセルは、00、01、10、11の4つの状態を記憶することが可能となる。尚、4種類のリファレンス抵抗を備えることにより、選択メモリセルの抵抗変化素子 $R_m$ に2ビットデータを記憶可能な例を説明したが、リファレンス抵抗の種類を

増やすことにより、それ以上のデータを記憶することが可能となる。

#### 【0038】

以下に第二の実施形態を説明する。図5に示すように、メモリ素子1cへのデータの書き込み電圧が、電源電圧より高い電圧を必要する場合には昇圧回路を備える。つまり、TN1及びTN2のドレインに昇圧回路の出力Voutを接続し、プログラムイネーブル信号Penを受けて前記昇圧回路が起動するように構成し、昇圧回路の出力Voutをプログラム電圧として使用する。尚、図5も、メモリセルの選択トランジスタなどを省略した基本回路構成のみ示してある。

#### 【0039】

また、上述の実施形態では、トランジスタのオン／オフによりプログラム電圧を選択メモリセルの抵抗変化素子Rmへ印加するか否かを制御するものを説明したが、図6に示すように、昇圧回路の出力から電圧を供給するかどうかにより制御する制御回路を構成してもよい。詳述すると、抵抗変化素子からなる複数のメモリセルの内、選択されたメモリセルの抵抗変化素子Rmは、TN2のソース及びセンスアンプ回路SAの入力端子にノードW2により接続され、リファレンス抵抗Rref2は、ノードW1を介してTN1のソース及びセンスアンプ回路SAの入力端子に接続されている。TN1及びTN2のドレインは、昇圧回路からの出力Voutと接続され、ゲートは、プログラムイネーブル信号Penを受けて昇圧電圧Voutよりも十分高い電圧HV2に変換された信号が印加される。昇圧回路の起動信号ENBは、センスアンプ回路SAから出力さる。選択メモリセルの抵抗変化素子Rmをプログラムする、つまり所定のデータを書き込むときには、プログラムイネーブル信号Penが高レベルになった後、昇圧回路を起動させ、選択メモリセルの抵抗変化素子Rm及びリファレンス抵抗Rref2に電圧を印加する。TN1とリファレンス抵抗Rref2の抵抗分圧であるノードW1と、TN2と選択メモリセルの抵抗変化素子Rmの抵抗分圧であるノードW2が同じ電圧に達した時点で昇圧回路は停止し、メモリセルの抵抗変化素子Rmへの電圧印加が停止して書込みが終了する。

#### 【0040】

尚、前記抵抗変化素子R11～Rijに電気的ストレスを印加して前記メモリ

セル 1 c へのデータの書き込みを行う書き込み手段 2 と、書き込み動作時における前記電気抵抗の変化を検知する書き込み状態検知手段 3 と、前記電気抵抗が所定のリファレンス値まで変化したときに電氣的ストレスの印加を停止する書き込み制御手段 4 とからなる制御回路 C は、上述の構成に限るものではなく、公知の論理回路を用いて適宜構成することが可能である。

#### 【0041】

次に、本発明による半導体記憶装置の第三の実施形態を説明する。尚、上述した第一の実施形態と対応付けられる部位については簡略化して説明する。図 7 に示すように、半導体記憶装置は、上述した抵抗変化素子  $R_{11} \sim R_{ij}$  と N 型 MOSFET で構成される選択トランジスタ  $T_{11} \sim T_{ij}$  を備えてなるメモリセル 1 c がマトリックス状に配列されたメモリアレイ 1 と、前記抵抗変化素子  $R_{11} \sim R_{ij}$  に前記電氣的ストレスを印加して前記電気抵抗を変化させることにより前記メモリセル 1 c へのデータの消去を行う消去手段 2' と、前記消去手段 2' による消去動作時における前記電気抵抗の変化を検知する消去状態検知手段 3' と、前記電気抵抗が所定のリファレンス値まで変化したときに前記消去手段 3' による前記電氣的ストレスの印加を停止する消去制御手段 4' として機能する制御回路 C' とで構成される。

#### 【0042】

前記メモリセル 1 c は、アドレス信号によりワード線セクタからの出力  $WL_1, WL_2 \dots WL_i$  及びビット線セクタからの出力  $BL_1, BL_2 \dots BL_j$  により選択され、前記抵抗変化素子  $R_{11} \sim R_{ij}$  の一端のソース線  $SRC_1, SRC_2 \dots SRC_j$  は、ソース線セクタに接続される。複数存在するソース線 SRC を個別に選択するソース線セクタは、簡単のため 2 本のノード  $SR_1, SR_2$  に接続してあるものとして説明するが、例えば、16 セル同時消去をする場合には、 $SR_1 \sim SR_{16}$  の 16 本を用意する必要がある。

#### 【0043】

ノード  $SR_1, SR_2$  は、それぞれ N 型 MOSFET で構成された  $TN_3, TN_4$  を介して電圧発生回路の出力  $V_{out}$  がグランドレベルへ選択して接続される。また、ノード  $SR_1, SR_2$  は、2 つのセンスアンプ回路 SA の一方の入力

端子にそれぞれ接続される。センスアンプ回路SAのもう一方の入力端子には、リファレンスセル回路が接続されており、十分高い電圧を有する消去イネーブル信号ERSENによってオン／オフするN型MOSFETで構成されるTN5、TN6を介してHVEノードに接続される。

#### 【0044】

前記センスアンプ回路SAはそれぞれに1つのリファレンスセル回路を有し、各リファレンスセル回路は、それぞれ、期待値データとなるリファレンス抵抗Rref1とこのリファレンス抵抗Rref1を選択するための選択トランジスタとを備える。このリファレンス抵抗Rref1は、電圧または電流印加により抵抗が変化しない固定の抵抗であり、拡散抵抗またはポリシリコン抵抗等で形成することが望ましい。

#### 【0045】

また、センスアンプ回路SAの出力には、フリップフロップ回路FFが接続されており、フリップフロップ回路FFの出力はAND回路とN型MOSFETでなるTN3、TN4のゲートにそれぞれ接続されている。ここでのゲート電圧は、電圧発生回路からの出力電圧よりも十分高い電圧に変換されている。また、AND回路は各選択メモリセルへの消去動作が終了したことを示す信号が伝えられ、すべての選択メモリセルへの消去動作が終了した時点で、消去終了信号を出力する。このタイミング図を図10に示している。ここで、ファーストビット・スロービットとは、プロセスばらつき等により、消去時間が高速なセルと低速なセルのことであり、高速なセルから次々と消去電圧印加は停止していく。

#### 【0046】

次に、第四の実施形態を説明する。図8は、書込み回路及び消去回路を両方備えている回路構成の一例であり、ここでは、図7のソース線セクタ側に位置する制御回路としての消去回路A10（C'）に加えて、ビット線セクタ側に位置する書込み回路A11を追加している。

#### 【0047】

書き込み時にはプログラムイネーブル信号PENが高レベル、消去イネーブル信号ERSENが低レベルとなりビット線側に電圧が供給され、ソース線側はグ

ランドレベルとなり書き込み動作が行われる。この時、ソース線側のカラムスイッチ  $TN3$ 、 $TN4$  はオン状態になるように制御しておく。一方、消去時には、プログラムイネーブル信号  $PEN$  が低レベル、消去イネーブル信号  $ERSEN$  が高レベルとなりソース線側に電圧が供給され、ビット線側はグラントレベルとなり消去動作が行われる。この時、ビット線側のカラムスイッチ  $TN1$ 、 $TN2$  はオン状態になるように制御しておくことにより、ソース線側からビット線側に電流が流れて消去とベリファイが同時に実行される。

#### 【0048】

しかしながら、図8に示す例においては、書込み回路と消去回路それぞれに、電圧発生回路とセンスアンプ等を要しているが、これらを兼用させることにより面積削減を行うことも可能である。この一例を第五の実施形態として図9に示す。電圧発生回路の出力  $Vout$  をビット線側に供給するかソース線側に供給するかをN型MOSFETをスイッチングさせることにより選択し、書き込み及び消去を実行する。

#### 【0049】

書込み時には、プログラムイネーブル信号  $PEN$  が高レベル、消去イネーブル信号  $ERSEN$  が低レベルとなり、ビット線側に電圧発生回路の出力  $Vout$  が供給され、ソース側はグラントレベルになり書き込み動作が実行される。一方、消去時には、プログラムイネーブル信号  $PEN$  が低レベル、消去イネーブル信号  $ERSEN$  が高レベルとなり、ソース側に電圧発生回路の出力  $Vout$  が供給され、ビット側はグラントレベルになり消去される。

#### 【0050】

また、センスアンプ回路  $SA$  への入力信号  $SH1$  または  $SH2$  についても同様に、プログラムイネーブル信号  $PEN$  と消去イネーブル信号  $ERSEN$  に応じてビット線側もしくはソース線側から電圧を取り出してセンスアンプ回路  $SA$  へ入力される。リファレンスセル回路においては、 $Rref1$  を消去リファレンスセル、 $Rref2$  を第2プログラムセル、 $Rref3$  を第3プログラムセル、 $Rref4$  を第4プログラムセルと定義することにより、消去から多値書込みまで兼用することが可能となる。



## 【0051】

プログラムイネーブル信号PENまたは消去イネーブル信号ERSENによりスイッチングするN型MOSFETとなるTN8、TN9とリファレンスセルを介して電圧発生回路の出力Voutからグランドレベルへ電流が流れ、この時の抵抗分圧がセンスアンプ回路SAに入力されている。このように書込みに対応したプログラムイネーブル信号PEN信号と消去に対応した消去イネーブル信号ERSENに応じてスイッチングするトランジスタを採用することにより、電圧発生回路やセンスアンプ回路等を兼用することが可能となる。

## 【0052】

以下に、上述した第三から第五の実施形態について、具体的な選択メモリセルへの消去動作について説明する。簡単のために図7より基本回路構成のみ抜粋した図11を参照する。ここでは、選択トランジスタを省略し、消去リファレンス抵抗Rref1を選択した場合について説明する。尚、図では把握し辛いが消去動作時には、上述した通り、選択トランジスタをオンにして書き込み時とは逆極性の電圧を印加しなければならない点に留意すべきである。

## 【0053】

抵抗変化する素子からなる複数のメモリセルの内、選択されたメモリセルの抵抗変化する素子Rmは、ノードW2を介してN型MOSFETで構成されたTN2のソース及びセンスアンプ回路SAの入力端子に接続されている。また、電流や電圧印加によるストレスによっても抵抗値が変化しないリファレンス抵抗Rref1は、ノードW1を介してN型MOSFETで構成されたTN1のソース及びセンスアンプ回路SAの入力端子に接続されている。TN1のドレインは電源電圧Vccと接続されており、ゲートは消去イネーブル信号ERSENを受けて電源電圧Vccよりも十分高い電圧に変換された信号が印加される。一方、TN2のドレインは電源電圧Vccと接続されており、ゲートはフリップフロップ回路FFからの出力信号を受けて電源電圧Vccよりも十分高い電圧に変換された信号が印加される。また、フリップフロップ回路の入力信号は、消去電圧印加開始信号Esと上記センスアンプ回路SAの出力信号ENBが入力されている。

## 【0054】

上述した基本回路構成において、まず、消去イネーブル信号  $ERSEN$  が高レベルになると  $TN1$  はオン状態となり、 $TN1$  とリファレンスセル抵抗を通じて電源電圧からグラウンドレベルへ電流が流れる。この時にノード  $W1$  は  $TN1$  のオン抵抗とリファレンスセル抵抗の抵抗分割により定まる第1の電圧を有する。次に、消去信号  $Es$  が伝達された時には、 $TN2$  はオン状態となる。この後、 $Es$  が低レベルとなってもフリップフロップ回路  $FF$  によりデータはラッチされているため問題ない。 $TN2$  がオンになることで、 $TN2$  と選択メモリセル  $Rm$  を通じて、電源電圧からグラウンドレベルへ電流が流れ、選択メモリセル  $Rm$  が消去される。ここで、 $N$  型  $MOSFET$  で構成された  $TN1$  と  $TN2$  のトランジスタ能力が等しいとすると、リファレンス抵抗と選択メモリセル  $Rm$  が同じ抵抗に成った時、等しい電流が流れることになる。

#### 【0055】

つまり、ノード  $W1$  とノード  $W2$  をセンスアンプ回路  $SA$  に入力することにより、選択メモリセルがリファレンス抵抗の抵抗値より抵抗が低いかどうか判別され、選択メモリセルがリファレンス抵抗と等しい抵抗値になった時点で、センスアンプ回路  $SA$  の出力信号  $ENB$  が  $H$  レベルとなり、 $TN2$  がオフ状態となるため電圧印加が停止され、消去が終了する。つまり、消去動作とベリファイ動作を同時に行っている。また、メモリセルごとに消去電圧印加時間が違うことが特長的である。これにより、過剰消去を防止するだけでなく、消費電流の低減の役割も果たしている。

#### 【0056】

次に、電源電圧が低い時、もしくは、消去電圧に電源電圧以上に高い電圧を必要する場合には、昇圧回路を含めた回路構成が考えられる。これを図12に示す。ここで、図11と異なる点は、 $TN1$  及び  $TN2$  のドレインに昇圧回路の出力  $V_{out}$  が接続されており、消去イネーブル信号  $ERSEN$  を受けて前記昇圧回路が起動することであり、昇圧回路の出力  $V_{out}$  を消去電圧として使用することである。

#### 【0057】

また、消去方法の別の実施形態として、トランジスタのオン／オフにより、消

去電圧を選択メモリセルへ印加するか否かの制御を行うのではなく、図13に示すように、昇圧回路の出力から電圧を供給するかどうかにより制御する方法も考えられる。抵抗変化素子からなる複数のメモリセルの内、選択されたメモリセルである $R_m$ は、ノード $W_2$ を介して $TN_2$ のソース及びセンスアンプ回路 $SA$ の入力端子に接続されている。また、電流・電圧により抵抗が変化しないリファレンス抵抗 $R_{ref1}$ は、ノード $W_1$ を介して $TN_1$ のソース及びセンスアンプ回路 $SA$ の入力端子に接続されている。N型MOSFETで構成される $TN_1$ 及び $TN_2$ のドレインは、昇圧回路からの出力 $V_{out}$ と接続されており、ゲートは、消去イネーブル信号 $ERSEN$ を受けて昇圧電圧 $V_{out}$ よりも十分高い電圧に変換された信号が印加される。昇圧回路の起動信号 $ENB$ は、センスアンプ回路から出力される。

#### 【0058】

選択メモリセル $R_m$ を消去したい場合には、消去イネーブル信号 $ERSEN$ を高レベルにした後、昇圧回路を起動させ、選択メモリセル及びリファレンス抵抗 $R_{ref1}$ に電圧を印加する。 $TN_1$ とリファレンス抵抗 $R_{ref1}$ の抵抗分圧であるノード $W_1$ と $TN_2$ と選択メモリセル $R_m$ の抵抗分圧であるノード $W_2$ が同じ電圧に達した時点で昇圧回路は停止し、メモリセルへの電圧印加が停止するため消去が終了する。

#### 【0059】

尚、上述したいずれかの実施形態において、前記抵抗変化素子 $R_{11} \sim R_{ij}$ としてRRAM素子を用いてメモリセルを構成するものを説明したが、抵抗変化素子としては、RRAM素子に代えて磁化の方向により抵抗値が変わるMRAM素子や熱による結晶状態の変化により抵抗値が変わるOUM素子などを用いることも可能である。

#### 【0060】

##### 【発明の効果】

以上説明したように、本発明によれば、メモリセルへのデータの書き込みとベリファイを同時に実行するので、書き込み処理に要する時間の短縮化を図ることができるとともに、電気抵抗が所定のリファレンス値に達した時点で書き込み処

理を停止できるので、メモリセルへのデータの書き込みを目標値に精度良く設定でき、従って、多値化対応に優れたものとなるのであり、消去電圧印加とベリファイを同時に実行することにより高速な消去が実現でき、さらに、規定の抵抗値に達した時点で、そのメモリセルへの電圧印加が停止するため、消費電流削減も実現するのである。

【図面の簡単な説明】

【図 1】

本発明による半導体記憶装置の一実施の形態を示す回路ブロック構成図

【図 2】

本発明による半導体記憶装置によるデータ書き込み処理のタイミングチャート

【図 3】

本発明による半導体記憶装置の要部の回路ブロック構成図

【図 4】

本発明による半導体記憶装置の要部の回路ブロック構成図

【図 5】

本発明による半導体記憶装置の別実施の形態を示す要部の回路ブロック構成図

【図 6】

本発明による半導体記憶装置の別実施の形態を示す要部の回路ブロック構成図

【図 7】

本発明による半導体記憶装置の別実施の形態を示す回路ブロック構成図

【図 8】

本発明による半導体記憶装置の別実施の形態を示す回路ブロック構成図

【図 9】

本発明による半導体記憶装置の別実施の形態を示す回路ブロック構成図

【図 10】

本発明による半導体記憶装置によるデータ消去処理のタイミングチャート

【図 11】

本発明による半導体記憶装置の別実施の形態を示す要部の回路ブロック構成図

【図 12】

本発明による半導体記憶装置の別実施の形態を示す要部の回路ブロック構成図

【図 1 3】

本発明による半導体記憶装置の別実施の形態を示す要部の回路ブロック構成図

【図 1 4】

従来技術を説明するフローチャート

【図 1 5】

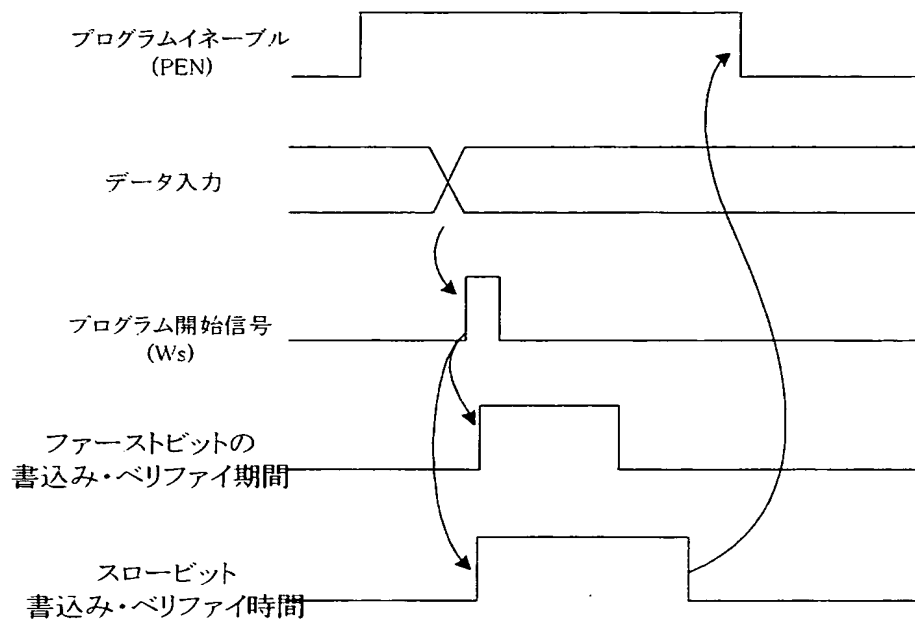
従来技術を説明するタイミングチャート

【符号の説明】

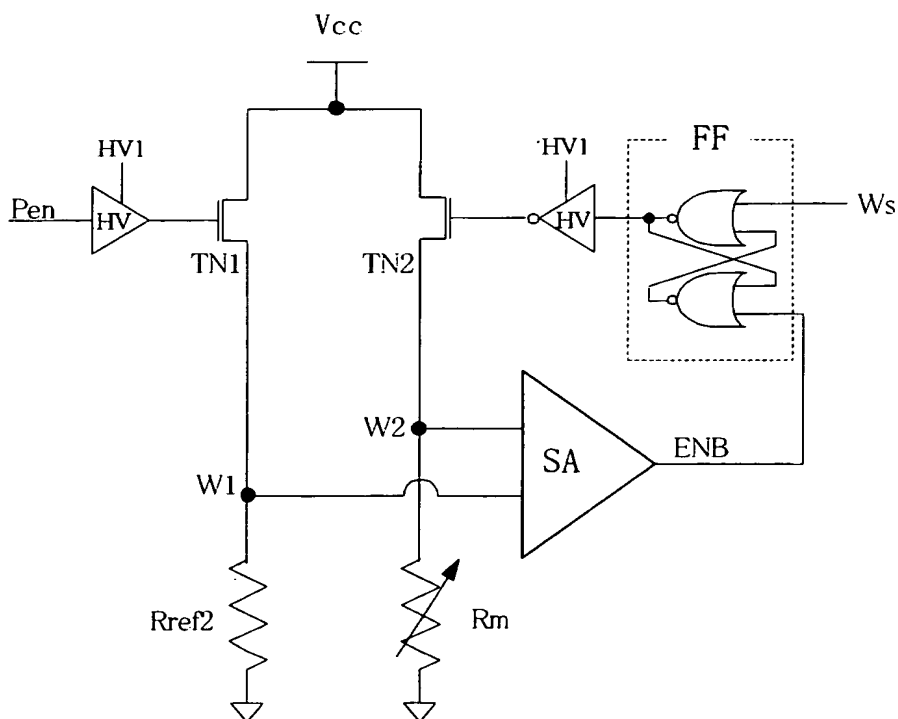
- 1：           メモリセルアレイ
- 2：           書き込み手段
- 2'：          消去手段
- 3：           書き込み状態検知手段
- 3'：          消去状態検知手段
- 4：           書き込み制御手段
- 4'：          消去制御手段
- C：          制御回路



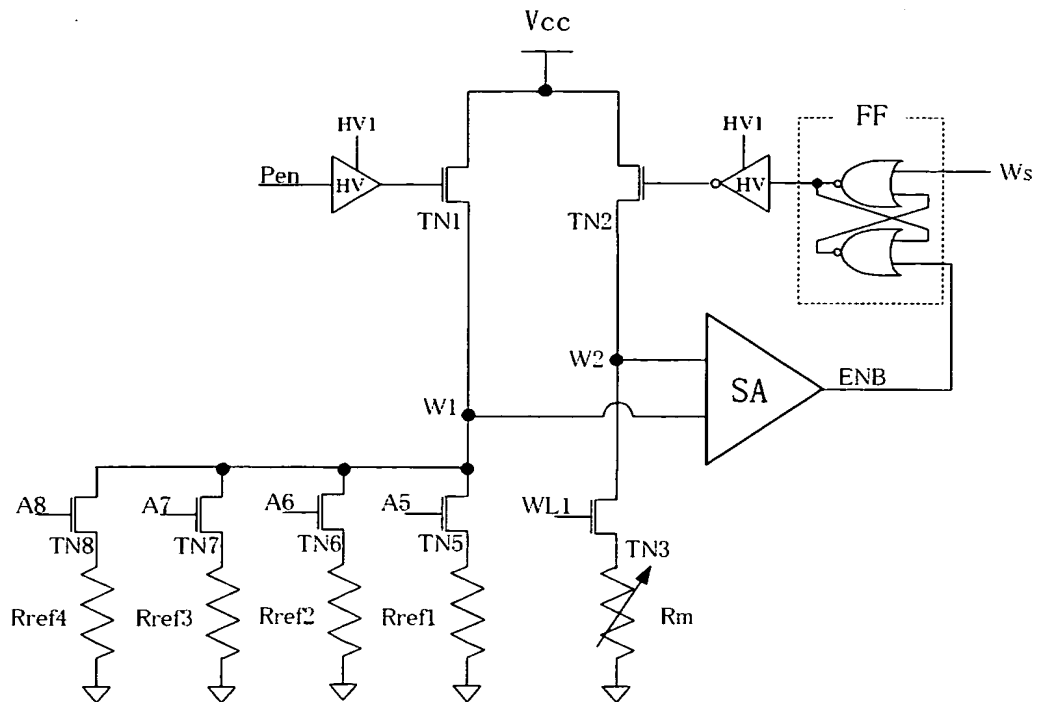
【図 2】



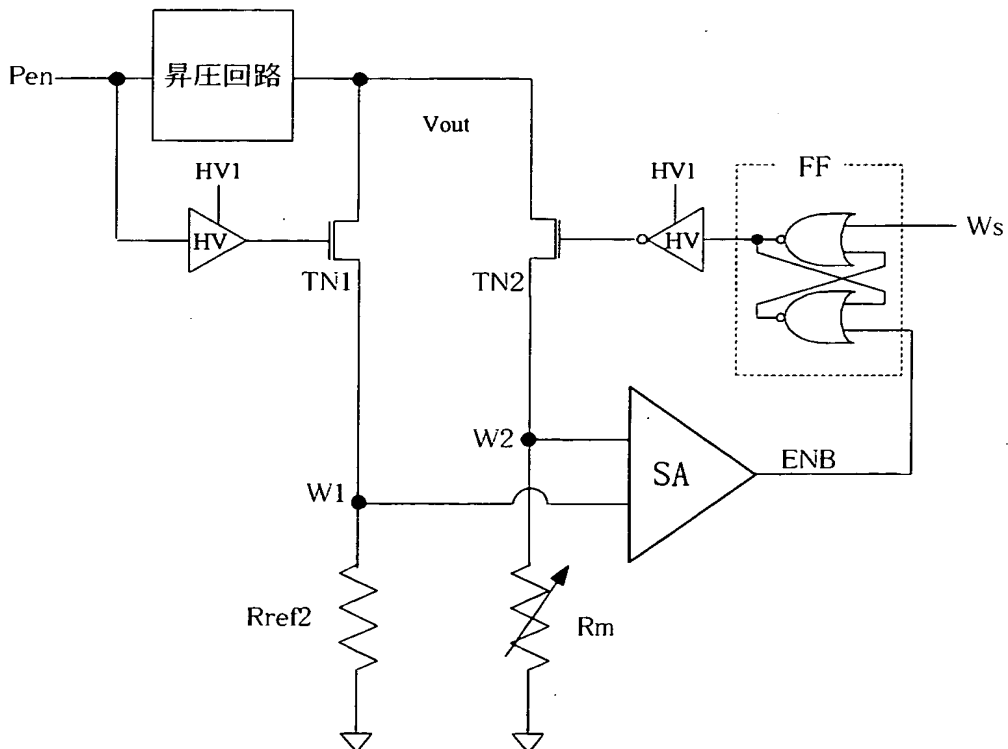
【図 3】



【図 4】

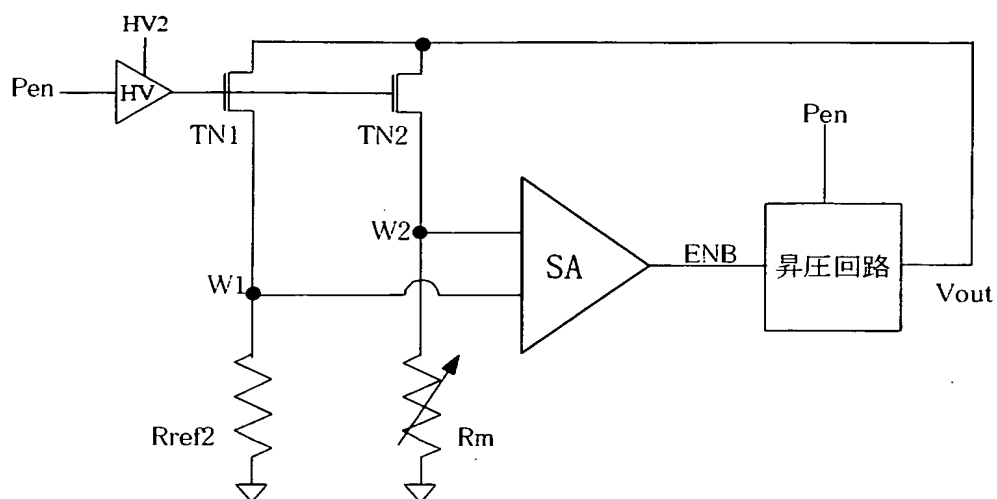


【図 5】

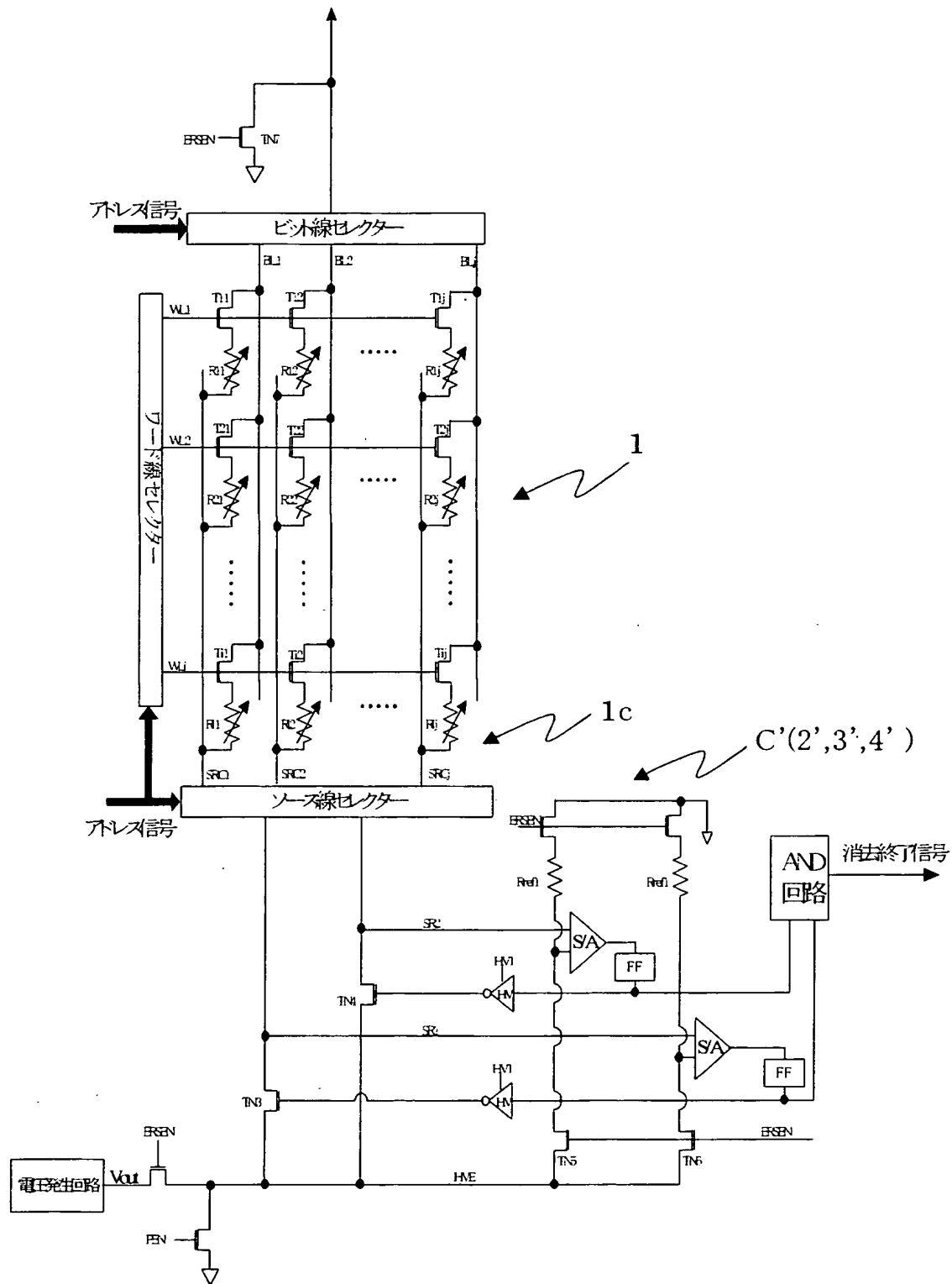




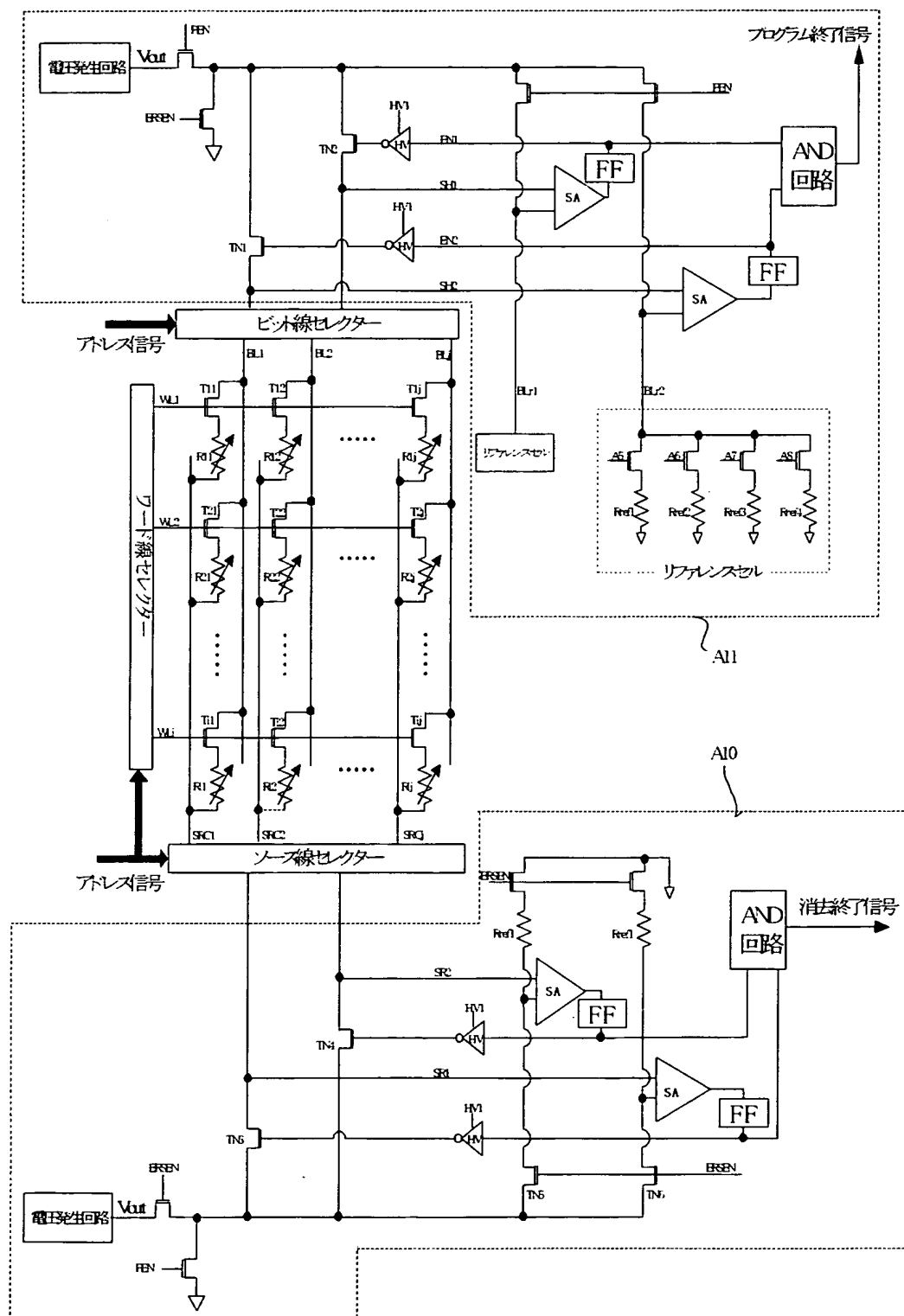
【図 6】



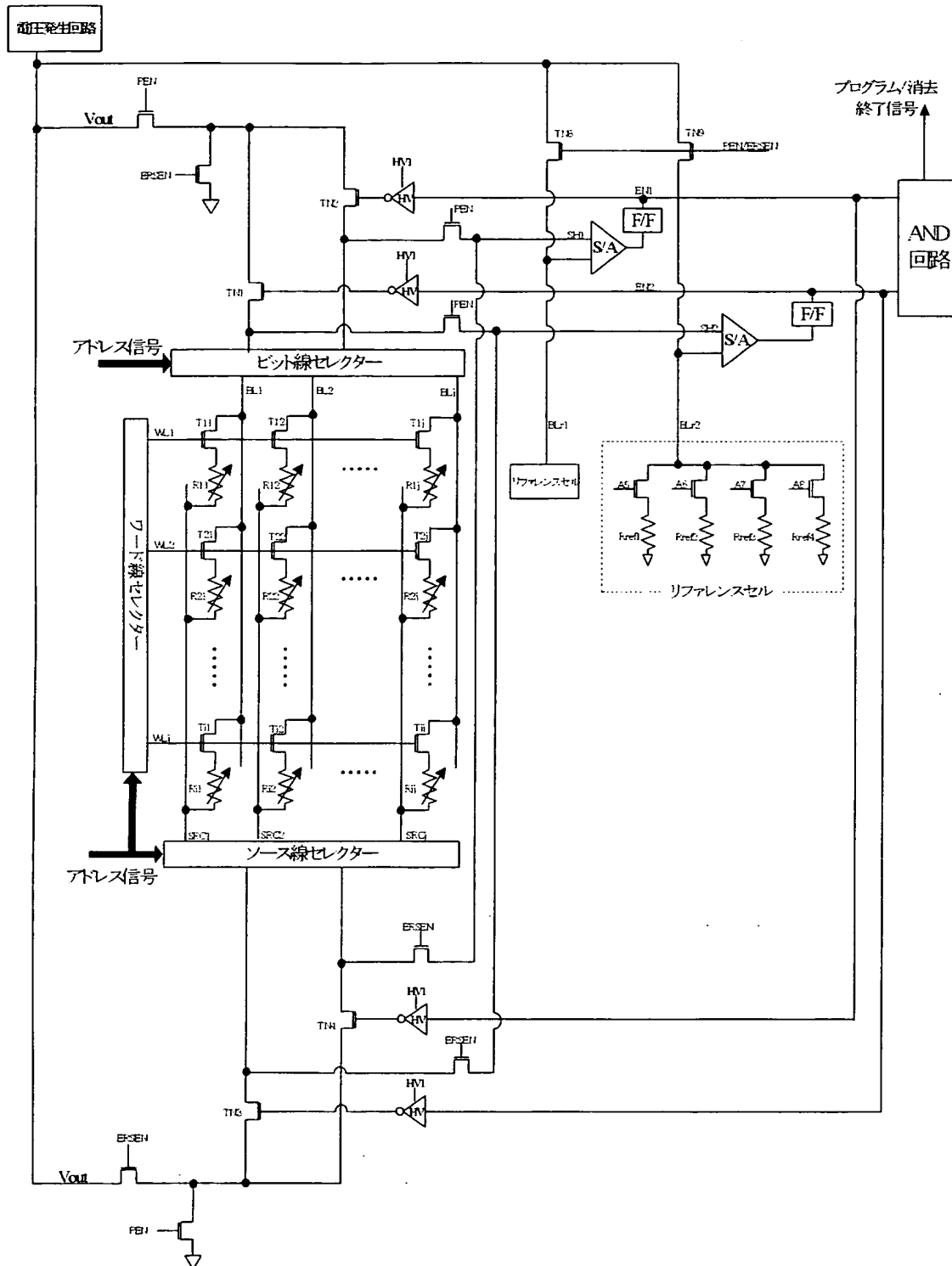
【図 7】



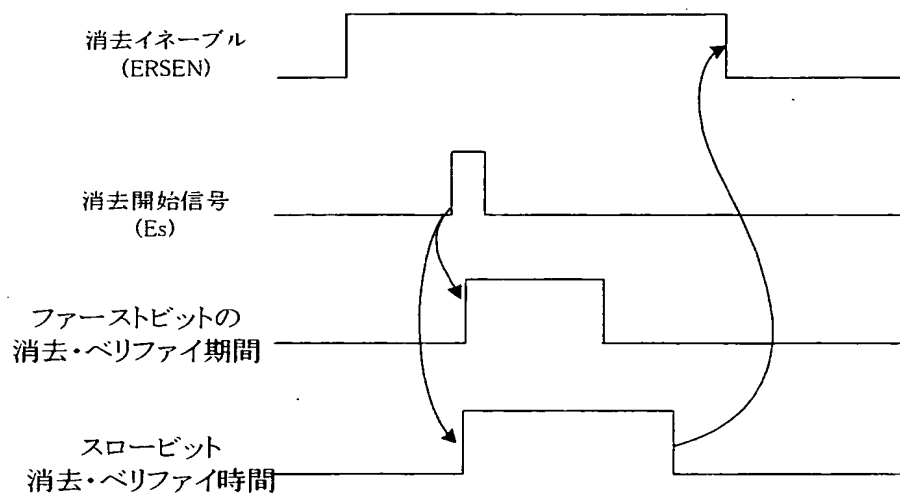
【図 8】



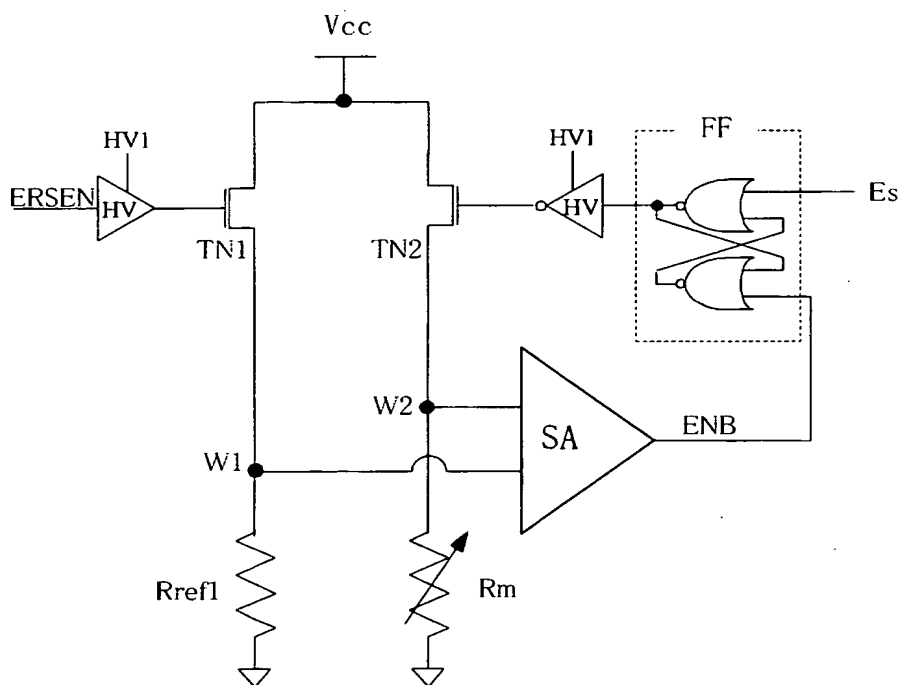
【図 9】



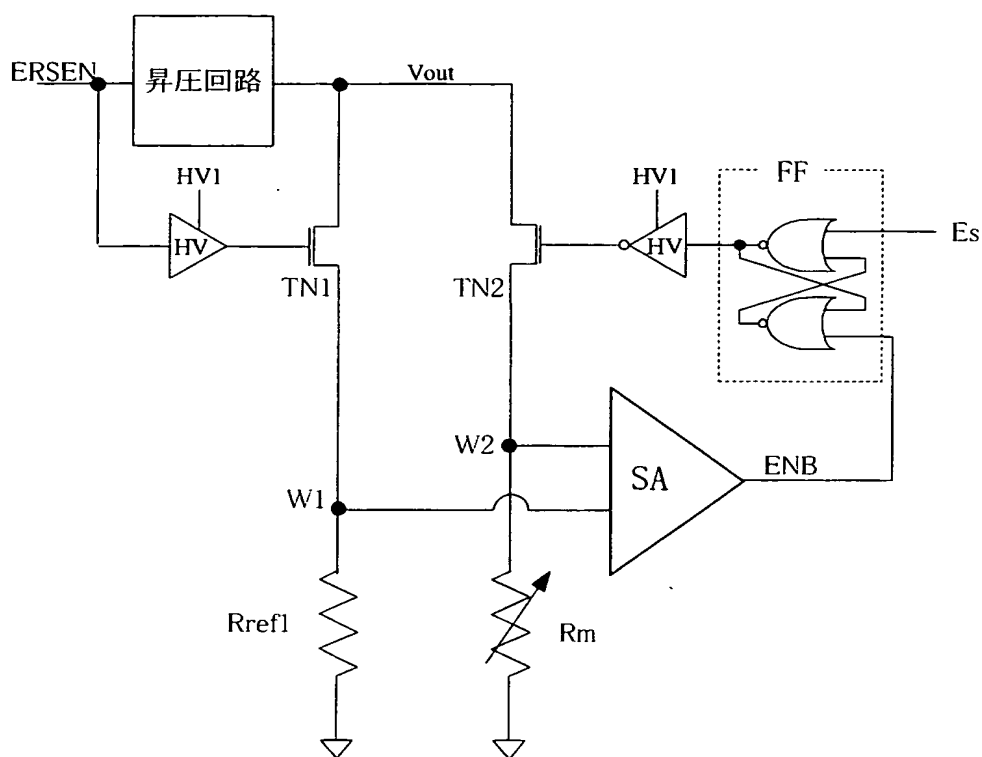
【図 10】



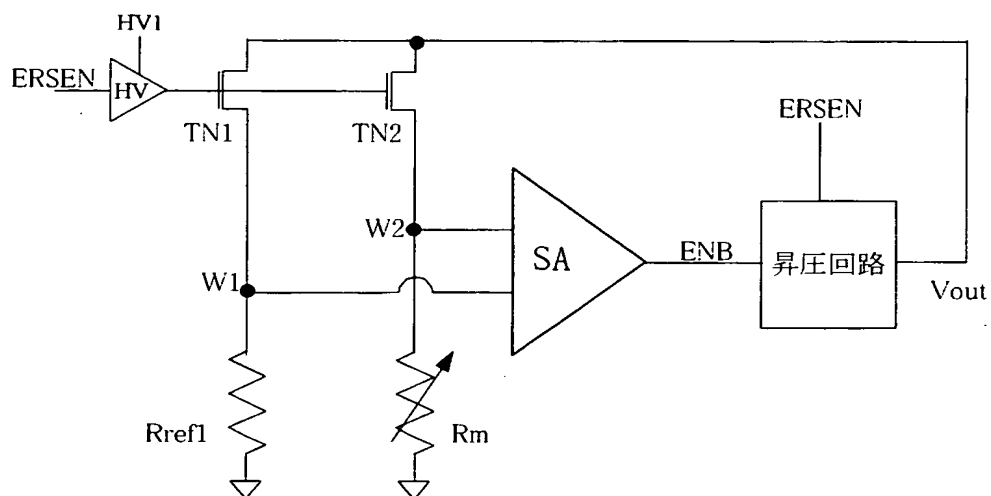
【図 1 1】



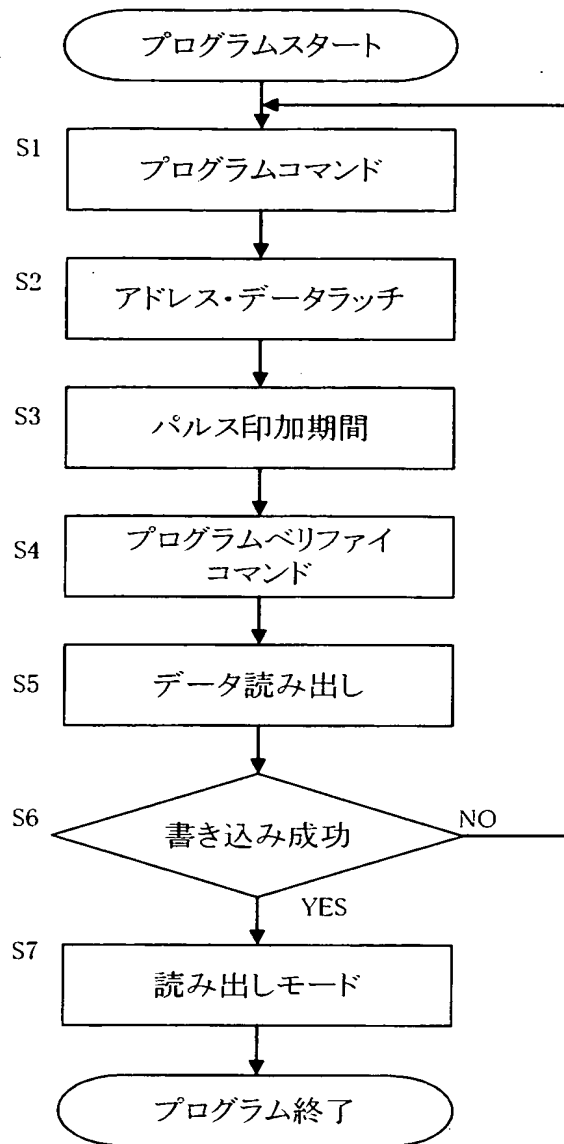
【図 1 2】



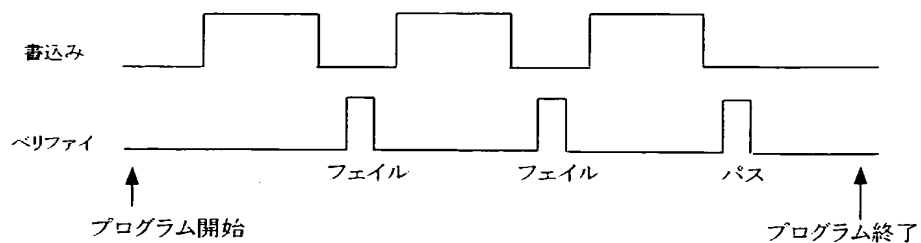
【図 1 3】



【図 14】



【図 15】



【書類名】 要約書

【要約】

【課題】 書き込みまたは消去処理に要する時間の短縮化と書き込みまたは消去精度の高い半導体記憶装置を提供する。

【解決手段】 電氣的ストレスにより電気抵抗が変化し前記電氣的ストレス解除後も変化した電気抵抗が保持される抵抗変化素子  $R_{11} \sim R_{ij}$  と N 型 N O S F E T で構成される選択トランジスタ  $T_{11} \sim T_{ij}$  を備えてなるメモリセル  $1c$  がマトリックス状に配列されたメモリアレイ 1 と、前記抵抗変化素子  $R_{11} \sim R_{ij}$  に電気ストレスを印加して前記メモリセル  $1c$  へのデータの書き込みを行う書き込み手段 2 と、書き込み動作時における前記電気抵抗の変化を検知する書き込み状態検知手段 3 と、前記電気抵抗が所定のリファレンス値まで変化したときに電気ストレスの印加を停止する書き込み制御手段 4 とを備えて構成する。

【選択図】 図 1



特願 2 0 0 3 - 0 1 8 6 4 5

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 0 4 9 ]

1 . 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

氏 名

シャープ株式会社